

Electronic component with several identical, parallel-connected electronic circuit units, e.g. integrated circuits

Publication number: DE10329646

Publication date: 2004-09-16

Inventor: PERNER MARTIN (DE); MOSER MANFRED (DE)

Applicant: INFINEON TECHNOLOGIES AG (DE)

Classification:

- international: **H01L23/525; H01L25/065; H01L23/52; H01L25/065;**
(IPC1-7): H01L23/58; H01L25/065

- european: H01L23/525A; H01L23/525F; H01L25/065S

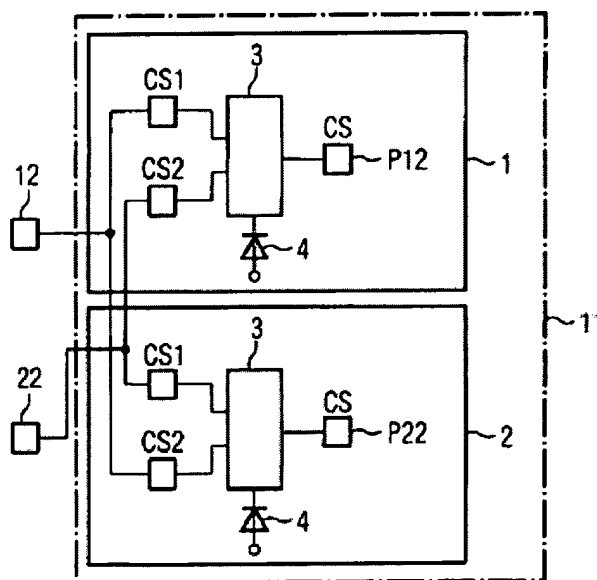
Application number: DE20031029646 20030701

Priority number(s): DE20031029646 20030701

Report a data error here

Abstract of DE10329646

The component (11) includes several identical, parallel-connected integrated circuits, typically memory chips (1,2). Each chip contains two terminal contacts (CS1,2) for supply of two selection signals. There are selection contacts (12,22), via which selection signals are supplied to component. Selection logic (3) can switch-off each one of two memory chips. Preferably switch-off capability is carried out by so-called E-fuse. Of several functional chips, several can be switched off. Independent claims are included for method for operating electronic component during testing.



Data supplied from the esp@cenet database - Worldwide



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) DE 103 29 646 A1 2004.09.16

(12)

Offenlegungsschrift

(21) Aktenzeichen: 103 29 646.8

(22) Anmeldetag: 01.07.2003

(43) Offenlegungstag: 16.09.2004

(51) Int Cl.⁷: H01L 23/58
H01L 25/065

Mit Einverständnis des Anmelders offengelegte Anmeldung gemäß § 31 Abs. 2 Ziffer 1 PatG

(71) Anmelder:
Infineon Technologies AG, 81669 München, DE

(74) Vertreter:
Epping Hermann Fischer,
Patentanwalts-gesellschaft mbH, 80339 München

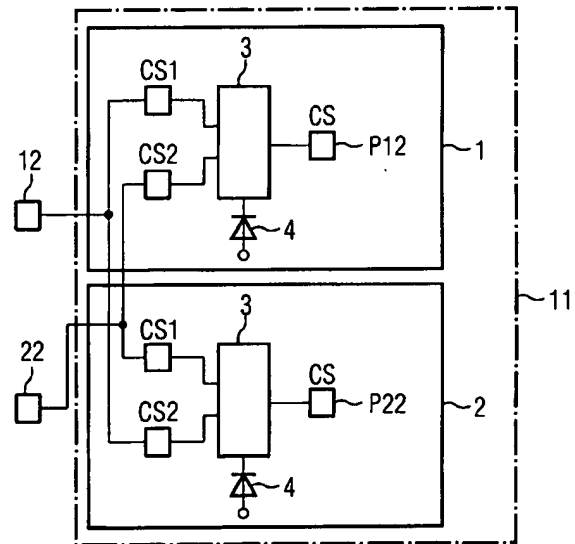
(72) Erfinder:
Perner, Martin, Dr., 81377 München, DE; Moser,
Manfred, Dipl.-Ing., 85221 Dachau, DE

Prüfungsantrag gemäß § 44 PatG ist gestellt.

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

(54) Bezeichnung: **Elektronisches Bauelement**

(57) Zusammenfassung: Es ist ein elektronisches Bauelement vorgesehen, das zumindest zwei gleiche parallel geschaltete elektronische Schaltungseinheiten aufweist, die jeweils einen Anschlußkontakt aufweisen. Schließlich sind Kontakte vorgesehen, über die dem Bauelement ein Auswahl-signal zugeführt wird. Es ist eine Auswahllogik vorgesehen, mit der einer der beiden parallel geschalteten elektronischen Schaltungseinheiten abschaltbar ist.



Beschreibung

[0001] Die Erfindung betrifft ein elektronisches Bauelement mit zumindest zwei gleichen parallel geschalteten elektronischen Schaltungseinheiten und ein Verfahren zum Betreiben eines solchen Bauelementes gemäß den nebengeordneten Patentansprüchen.

Stand der Technik

[0002] Elektronische Bauelemente, sogenannte integrierte Schaltungen, weisen heutzutage zunehmend mehrere elektronische Schaltungseinheiten, sogenannte Chips auf. Besonders häufig erfolgt dies bei der Herstellung sogenannter Speicherbausteine. Hierbei sind mehrere Speicherbausteine beispielsweise "SDRs", "DDRs" etc. zum Beispiel in der Bauform eines FBGA als sogenannte Stacked-Speicherbausteine verwendet. Bei einer solchen Bauform sind in einem Speicherbaustein gleich mehrere Speicherchips vorhanden, wobei jeder Chip eine Speicherbank darstellt, die mit ihren Anschlußpads beispielsweise parallel an den Adreßleitungen, Datenleitungen, Kommandoleitungen etc. angeschlossen sind. Weiterhin weist jeder Chip sogenannte Auswahlgänge auf. Dies sind unter anderem der sogenannte "clock enable" (CKE)-Eingang und der sogenannte "chip select"-Eingang (CS). Das bietet folgende Möglichkeiten, daß mit diesen Eingängen, die parallel beispielsweise an den Datenleitungen bzw. Adreßleitungen liegenden Chips selektiv angesprochen werden können. Das bedeutet, daß der Adreßdecoder auf dem jeweiligen Chip allgemein aufgebaut ist, unabhängig davon, ob er alleine in einem Baustein oder mit Mehreren zusammengefaßt Teil einer Speicherbausteingruppe ist.

[0003] Derartige Speicherbausteine, die aus mehreren Chips zusammengesetzt, wie beispielsweise in der EP0736903A2 beschrieben hergestellt sind, können leider während der Herstellung Ausfälle aufweisen. Dies führt zu erhöhten Fertigungskosten, da einzelne Bausteine später nicht mehr reparierbar sind.

Aufgabenstellung

[0004] Der Erfindung liegt daher die Aufgabe zugrunde, ein elektronisches Bauelement mit zumindest zwei gleichen parallel geschalteten elektronischen Schaltungseinheiten vorzusehen und ein Verfahren zu dessen Betreibung, das auch dann weiterhin verwendbar ist, wenn eine der parallel geschalteten elektronischen Schaltungseinheiten einen Funktionsausfall aufweist.

[0005] Diese Aufgabe wird erfindungsgemäß mit den in den nebengeordneten Patentansprüchen angegebenen Maßnahmen gelöst. Insbesondere durch das Vorsehen einer Auswahllogik ist es ermöglicht, daß auch dann, wenn eine der parallel geschalteten elektronischen Schaltungseinheiten einen Funktions-

verlust aufweist, die zumindest eine verbleibende elektronische Schaltungseinheit so auswählbar ist, daß sie auch allein einen funktionsfähigen Betrieb gewährleistet.

[0006] Weitere vorteilhafte Ausgestaltungen der Erfindung sind in den untergeordneten Ansprüchen angegeben. Insbesondere durch das Vorsehen einer Umprogrammierung derart, daß eine zuvor abgeschaltete elektronische Schaltungseinheit eingeschaltet und eine zuvor eingeschaltete elektronische Schaltungseinheit abgeschaltet wird, ist die Herstellung eines elektronischen Bauelementes mit sehr hoher Zuverlässigkeit gewährleistet.

Ausführungsbeispiel

[0007] Nachfolgend wird die Erfindung unter Bezugnahme auf die Zeichnung im einzelnen erläutert.

[0008] Es zeigen:

[0009] **Fig. 1** den grundsätzlichen Aufbau eines Bauelementes gemäß einem ersten Ausführungsbeispiel,

[0010] **Fig. 2** den mechanischen Aufbau eines solchen Bauelementes mit mehreren elektronischen Schaltungseinheiten,

[0011] **Fig. 3** eine Logiktablelle, die die Umprogrammierung von einer "Master"-Funktion eines Chips verdeutlicht,

[0012] **Fig. 4a bis c** Programmierungsschritte in mehreren Test-Modi und

[0013] **Fig. 5** den bisher üblichen Aufbau eines Speicherbausteins mit mehreren Chips.

[0014] **Fig. 5** zeigt eine übliche Speicheranordnung eines Speichermoduls mit einem ersten Chip 1 und einem zweiten Chip 2. Diese sind an gemeinsamen Leitungen 30 angeschlossen, wobei beispielsweise hierfür Adreßleitungen ADD, Befehlsleitungen CMD und Datenleitungen DQ vorgesehen sind. Die Chips als solche sind identisch aufgebaut und weisen, um sie selektiv ansprechen zu können, funktionell zumindest einen Taktfreigabeanschluß CKE und einen Chip-Auswahlanschluß CS auf. Gemäß **Fig. 5** weist somit der erste Chip 1 einen Taktfreigabeanschluß 11 (CKE) und einen Chip-Auswahlanschluß 12 (CS) auf. Der zweite Chip 2 weist einen Taktfreigabeanschluß 21 (CKE) und einen Chipauswahlanschluß 22 (CS) auf.

[0015] Weiterhin hängen beide Chips an einer gemeinsamen Spannungsversorgung 41 (VDD) und 42 (VSS). Fällt einer der Chips aus, so ist er weiterhin grundsätzlich ansprechbar und hängt ebenfalls als Last an den gemeinsamen Datenleitungen 30 wie auch an der gemeinsamen Versorgungsspannung.

[0016] Dem gegenüber ist beim ersten Ausführungsbeispiel der erfindungsgemäßen Anordnung gemäß **Fig. 1**, in der auf die gemeinsamen Anschlüsse Versorgungsleitung und den Datenleitungen 30 gemäß **Fig. 5** der besseren Übersicht halber verzichtet wurde, für das Modul zwei Chipselectanschlüsse 12 und 22 vorgesehen.

[0017] Damit ändert sich nach außen für den Einsatz zunächst nichts. Innerhalb des Moduls weist jedoch nunmehr jeder Chip 2 Chipselectanschlüsse, nämlich jeweils einen ersten Chipselectanschluß CS1 und einen zweiten Chipselectanschluß CS2 auf. Innerhalb des Moduls sind nunmehr jeweils Chipauswahlanschluß CS1 und ein zweiter Chipauswahlanschluß CS2 miteinander verbunden und diese wiederum jeweils einmal als erster Chipauswahlanschluß 12 und als zweiter Chipauswahlanschluß 22 aus dem Bauelement 11 herausgeführt. Die jeweiligen ersten und zweiten Chipauswahlanschlüsse CS1 und CS2 sind nunmehr mit einer Chipauswahllogik 3 verbunden, deren Auswahlsignal das eigentliche Chipauswahlsignal CS ergibt.

[0018] Grundsätzlich ist nunmehr vorgesehen, daß gemäß dem Ausführungsbeispiel jeweils der erste Auswahlanschluß CS1 der Leit- bzw. Master-Anschluß und der zweite Auswahlanschluß CS2 der Nachfolge- bzw. slave-Anschluß ist. Durch diese doppelte Ausführung mit einem ersten und einen zweiten Chipauswahlanschluß und einer Auswahllogik 3 ist es nunmehr möglich, insgesamt im Modul bzw. Bauelement 11 eine Umverdrahtung vorzusehen. Dazu weist der Chip eine Auswahllogik 3 und eine sogenannte E-Fuse 4 auf, die der Auswahllogik signalisiert, daß eine Normalverdrahtung oder eine Umverdrahtung vorgesehen ist. Dieser E-Fuse 4 kann tatsächlich als sogenannte E-Fuse jedoch auch als sogenannte Anti-Fuse mit umgekehrter Logik ausgeführt werden. Die E-Fuse bzw. Anti-Fuse sind in unterschiedlichsten Ausgestaltungen möglich und im wesentlichen dadurch ausgeprägt, daß sie nur einmal und nicht reversibel programmierbar sind.

[0019] Zunächst ist vorgesehen, daß bei jedem Chip 1 und 2 der erste Chipauswahlanschluß CS1 den "Master"-Anschluß darstellt und der zweite Auswahlanschluß CS2 den "Slave"-Anschluß darstellt. Aus der Verdrahtung des ersten Auswahlanschlusses 12 und des zweiten Auswahlanschlusses 22 ergibt sich somit, daß, wie in der Tabelle gemäß Fig. 3 zu entnehmen ist, nach einem Anlegen eines Signals, das eine logische "1" symbolisiert am ersten Auswahlanschluß 12, am Chip 1 den ersten Chipauswahlanschluß CS1 diese logische "1" zugeführt wird und am zweiten Chip 2 diese am zweiten Chipauswahlanschluß CS2 zugeführt wird. Dies führt dazu, daß auf diese Weise der Chip 1 durch die Auswahllogik 3 das Chipauswahlsignal CS am Anschluß 12 erhält. Dem gegenüber ergibt sich für den Chip 2 das Chipauswahlsignal CS mit dem logischen Wert "0" am Anschluß 12. Soll der zweite Chip 2 angesprochen werden, muß dementsprechend am Auswahlanschluß 22 ein Signal mit dem logischen Wert "1" angelegt werden, so daß dem ersten Chipauswahlanschluß CS1 des zweiten Chips 2 der logische Wert "1" zugeführt und dementsprechend angesprochen wird. So ist zunächst einmal die bisherige Grundfunktion eines aus mehreren Chips zusammengesetzten Moduls 11 gewährleistet.

[0020] Wird bei einem Bauelement-Test festgestellt, daß einer der beiden Chips nicht mehr funktioniert, so kann durch ein Umprogrammieren der Fuse 4 jeweils von der "Master"-Funktion auf die "Slave"-Funktion umgeschaltet werden. Damit ist dann das Signal am zweiten Chipauswahlanschluß CS2 maßgeblich. Ist eine derartige Umprogrammierung erfolgt, was gemäß Fig. 4a in einem Testmodus A vorgenommen wird, kann in einem Testmodus 8 gemäß Fig. b ebenfalls mittels Durchbrennen der E-Fuse die Verbindung der Chips mit den Datenleitungen DQ, CMD, ADD, etc. getrennt werden. Schließlich kann bei dem defekten Chip in einem Testmodus C dieser durch das Durchbrennen einer E-Fuse 4 gemäß Fig. 4c von der Versorgungsspannung abgetrennt werden.

[0021] Gemäß Fig. 2 ist zu erkennen, daß in einem Modul der erste Chip 1 und der zweite Chip 2 über einen Abstandsträger 35 übereinander liegend angeordnet sind, und über Drahtbondverbindungen 37 mit Umverdrahtungspads 36 verbunden sind. Diese sind in einem FBGA-Gehäuse 11 auf einem Träger 34 angeordnet, der eine Umverdrahtungsschicht aufweist, die mit dem kugelförmigen Rnschlußbällen, den sogenannten "solder balls" 33 in Verbindung stehen, um mit einer Anschlußmetallisierung 32, die auf einem Träger 31 einer elektronischen Platine 3 angeordnet ist, vorhanden zu sein. Dabei sind, wie bereits unter Bezugnahme auf Fig. 5 beschrieben, wie es in Fig. 2 angedeutet ist, gemeinsame Anschlüsse, z.B. die Datenleitungen und auch die Versorgungsspannung an beide Chips geführt.

[0022] Durch das selektive Abtrennen nach der vorgenommenen vorhergehenden Umprogrammierung ist es nunmehr möglich, daß sowohl die Belastung als auch die Energieversorgung mit einem derartigen Modul, das zwar intern zwei Chips aufweist, aber nur die Leistungsfähigkeit eines einzigen Chips enthält, auch nur den Stromverbrauch und die Belastung erzeugt, wie ein Bauelement 11 mit einem einzigen Chip.

[0023] Durch das Vorsehen von Kombinationen von Fuses und sogenannten "Anti-Fuses" ist es nunmehr möglich, Sicherheitsbauelemente herzustellen, so daß grundsätzlich zwei oder mehr Chips parallel in einem Gehäuse angeordnet sind, aber nur jeweils einer in Betrieb ist. Hier würde bereits in einem Grundzustand der beiden Chips eine Versorgungsspannung und von den Datenleitungen abgetrennt sein. Sobald im Betrieb eines solchen Bauelementes festgestellt wird, daß es einen Defekt aufweist, wird es in der Form umprogrammiert, daß bestehende Unterbrechungen durch sogenannte Anti-Fuses wieder hergestellt werden und bestehende Verbindungen durch das Durchbrennen von sogenannten Fuses unterbrochen werden. Hierbei ist die Erfindung bzw. die zuvor beschriebene Maßnahme nicht auf zwei Chips beschränkt, sondern vielmehr können beliebig viele Chips parallel geschaltet sein.

[0024] Zusätzlich ist es nunmehr möglich, daß zur Erhöhung der Leistungsfähigkeit bzw. Zuverlässig-

keit eines solchen Bauelementes grundsätzlich zwei Chips parallel betrieben werden, und jeweils zumindest ein weiterer für jeden Chip als Redundanz vorgesehen ist.

Patentansprüche

1. Elektronisches Bauelement mit zumindest zwei gleichen parallel geschalteten elektronischen Schaltungseinheiten (1, 2), die jeweils einen ersten und einen zweiten (CS1, CS2) Anschlußkontakt die der Schaltungseinheit (1, 2) ein erstes und ein zweites Auswahlsignal zuführt, Auswahlkontakten (12, 22), über die dem Bauelement (11) die Auswahlsignale zugeführt werden, und eine Auswahllogik (3) aufweist, mit der eine jeweilige der beiden Einheiten abschaltbar ist.

2. Elektronisches Bauelement nach Anspruch 1, bei dem die gleichen parallel geschalteten elektronischen Schaltungseinheiten Speicherchips sind.

3. Elektronisches Bauelement nach Anspruch 2, wobei die Abschaltmöglichkeit mittels einer "E-Fuse" (4) realisiert ist.

4. Verfahren zum Betreiben eines Bauelements nach einem der Ansprüche 1 bis 3, wobei in einem ersten Testzustand (A) die Funktionsfähigkeit der gleichen parallel geschalteten Schaltungseinheiten überprüft wird und bei Vorliegen eines Funktionsausfalls eine, aber nicht alle parallel geschalteten elektronischen Schaltungseinheiten in einem zweiten Testzustand die elektronischen Schaltungseinheiten, bei denen der Funktionsausfall festgestellt wird, abgeschaltet wird.

5. Verfahren nach Anspruch 4, bei dem eine der parallel geschalteten Schaltungseinheiten nicht abgeschaltet ist und bei einem Feststellen eines Funktionsausfalls diese abgeschaltet und eine andere der parallel geschalteten Schaltungseinheiten eingeschaltet wird.

6. Verfahren nach Anspruch 4 oder 5, bei dem das Abschalten bzw. Einschalten durch Aktivieren von E-Fuses (4) bzw. E-Antifuses (5) betrieben wird.

7. Elektronisches Bauelement nach einem der Ansprüche 1 bis 3, bei dem die von mehreren funktionsfähigen parallel geschalteten elektronischen Schaltungseinheiten mehrere abgeschaltet sind.

Es folgen 3 Blatt Zeichnungen

FIG 1

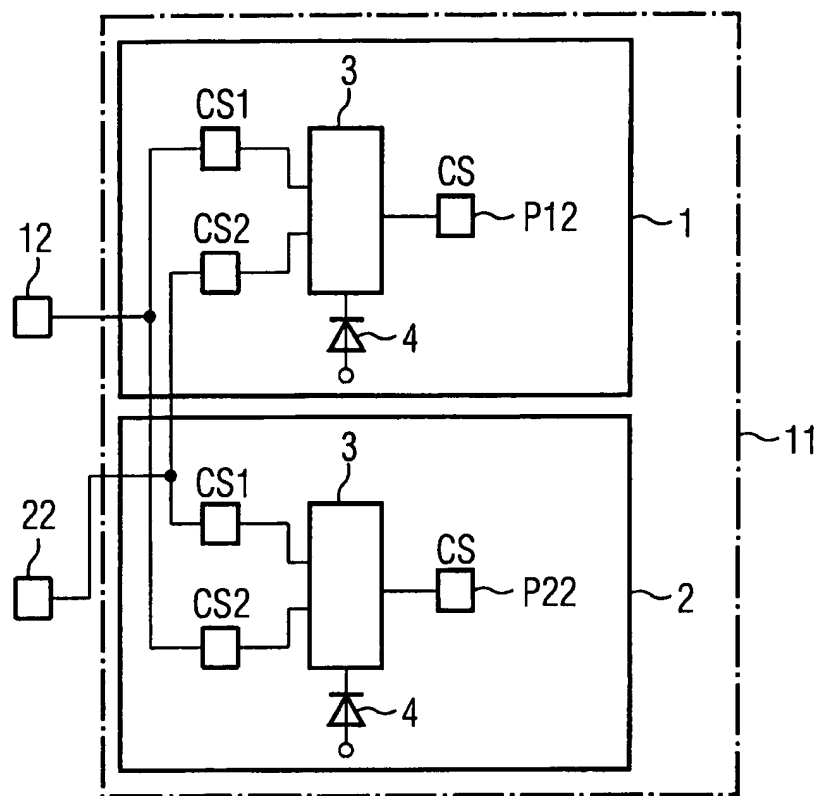


FIG 2

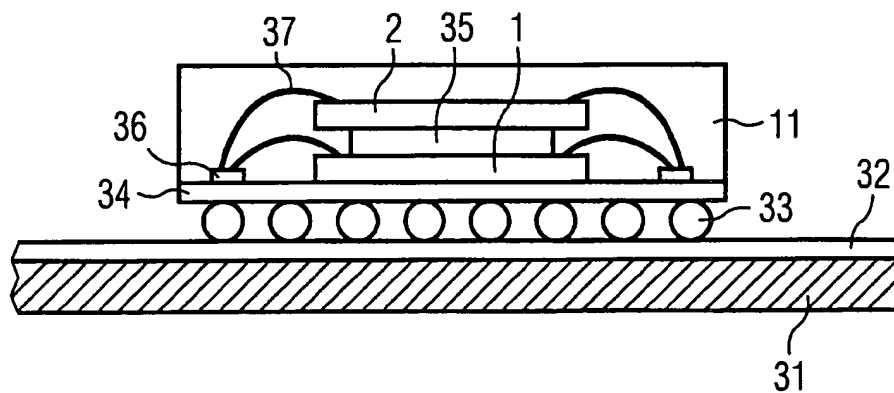


FIG 3

E-Fuse	CS1	CS2	CS	
1	0	0	0	CS1 "master"-Funktion
	0	1	0	
	1	0	1	
	1	1	1	
0	0	0	0	CS2 "master"-Funktion
	0	1	1	
	1	0	0	
	1	1	1	

FIG 4A

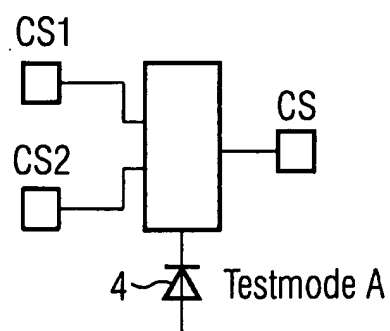


FIG 4B

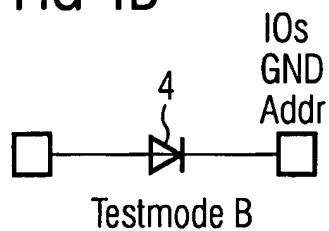


FIG 4C

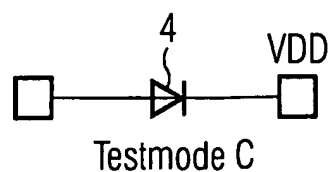


FIG 5

